

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19)

(11) Publication number:

62024356 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 60163336

(51) Intl. Cl.: G06F 15/16

(22) Application date: 23.07.85

(30) Priority:

(43) Date of application  
publication: 02.02.87(84) Designated  
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: HORII SHOHEI

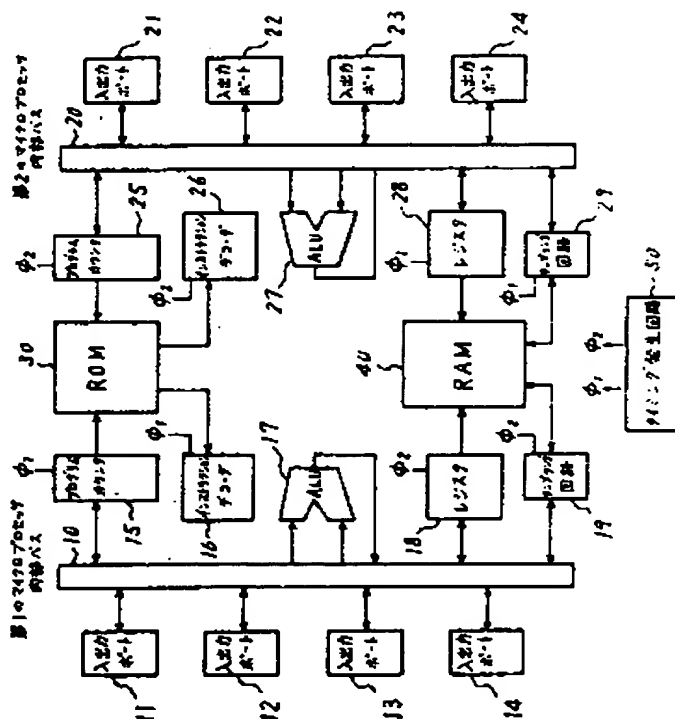
(74) Representative:

(54) ONE-CHIP  
MICROCOMPUTER

## (57) Abstract:

**PURPOSE:** To perform the processing of two microprocessors at a time by shifting the timing to give accesses to a ROM and a RAM of both microprocessors from each other.

**CONSTITUTION:** A 1-chip microcomputer contains the 1st and 2nd CPU which share a ROM and a RAM. The phase are shifted by 180° between both CPU in terms of the timing to give accesses to a ROM 30 and a RAM 40. The 2nd CPU gives an access to the RAM 40 while the 1st CPU gives an access to the ROM 30. This access relation can be reversed between both CPU. That is, these two CPU can be processed at a time while they share the ROM 30 and the RAM 40. Furthermore the proper processing of each CPU is possible through a branching action after deciding by a CPU deciding instruction contained in a program whether this program is presently executed by the 1st or 2nd CPU.



COPYRIGHT: (C)1987,JPO&amp;Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-24356

⑬ Int. Cl.<sup>4</sup>  
G 06 F 15/16

識別記号 庁内整理番号  
F-2116-5B

⑭ 公開 昭和62年(1987)2月2日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 1チップマイクロコンピュータ

⑯ 特 願 昭60-163336

⑰ 出 願 昭60(1985)7月23日

⑱ 発 明 者 堀 井 昌 平 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

### 1. 発明の名称

1チップマイクロコンピュータ

### 2. 特許請求の範囲

互いにアドレス空間が異なるリードオンメモリおよびランダムアクセスメモリを共有する2つのマイクロコンピュータを内蔵する1チップマイクロコンピュータであって、マイクロプロセッサのリードオンメモリをアクセスするタイミングと、ランダムアクセスメモリをアクセスするタイミングとをずらすことにより両マイクロプロセッサの処理を同時に実行するようにしたことを特徴とする1チップマイクロコンピュータ。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、1チップマイクロコンピュータに関し、特にROMおよびRAMを共用する2つのマ

イクロプロセッサを内蔵した1チップマイクロコンピュータに関する。

#### 〔従来の技術〕

近年、システムの高速化、高機能化、分散処理に伴ない、1つのシステムにおいては第5図に示すように2つの1チップマイクロコンピュータを使用する場合が増加している。ところが2つの1チップマイクロコンピュータを使用する方式は各マイクロコンピュータ1, 2ともROM, RAM, ALU、演算レジスタ、プログラムカウンタ、インストラクションデコード、入・出力ポート等を別個に持っていた。

またROM, RAMを共用する2マイクロプロセッサを内蔵して、1チップマイクロコンピュータにおいてはROMが同一アドレス空間にあり、1命令ごとに行うマイクロプロセッサを変える方式であった。

#### 〔発明が解決しようとする問題点〕

上述した従来の1チップマイクロコンピュータを2個使用するシステムでは2つのチップ構成に

なるため実装面積も増加すると共に2つのマイクロプロセッサ間のデータ転送処理およびデータ転送用に入・出力ポートならびに交信用の信号線等を必要とする欠点があった。

更に従来のROM、RAMを共用する2つのマイクロプロセッサを内蔵した1チップマイクロコンピュータの方式では一方のマイクロプロセッサが動作している間は、他のマイクロプロセッサが停止し、一方のマイクロプロセッサが停止している間は他方のマイクロプロセッサが動作するので、同一クロックの場合に、実質的に1マイクロプロセッサ方式に比べて実行スピードが半分になってしまうという欠点があった。

#### 〔問題点を解決するための手段〕

本発明によれば、互いにアドレス空間が異なるリードオンリメモリおよびランダムアクセスメモリを共有する2つのマイクロコンピュータを内蔵する1チップマイクロコンピュータであって、各マイクロプロセッサのリードオンリメモリをアクセスするタイミングと、ランダムアクセスメモリ

17、レジスタ18およびサンプリング回路19がそれぞれ接続されている。

第2のマイクロプロセッサ側には入出力ポート21～24と、プログラムカウンタ25と、インストラクションデコーダ26と、演算論理装置(ALU)27と、レジスタ28と、サンプリング回路29とを有し、内部バス20には入出力ポート21～24、プログラムカウンタ25、ALU27、レジスタ28およびサンプリング回路29がそれぞれ接続されている。

ROM30にはプログラムカウンタ15、25およびインストラクションデコーダ16、26が接続されており、RAM40にはレジスタ18、28およびサンプリング回路19、29が接続されている。

タイミング発生回路50からのタイミング信号φ<sub>1</sub>はプログラムカウンタ15、インストラクションデコーダ16、レジスタ28およびサンプリング回路29にそれぞれ供給され、タイミング信号φ<sub>2</sub>はプログラムカウンタ25、インストラク

スをアクセスするタイミングとをずらすことにより両マイクロプロセッサの処理を同時に実行するようにしたことを特徴とする1チップマイクロコンピュータが得られる。

#### 〔実施例〕

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示す。第1図において、本発明の一実施例は1チップマイクロコンピュータに2個のマイクロプロセッサ(以下CPUと称す)を内蔵するもので、互にアドレス空間の異なるリードオンリメモリ(以下ROMと称する)30およびランダムアクセスメモリ(以下RAMと称する)40を共有するものである。

第1のマイクロプロセッサ側には入出力ポート11～14と、プログラムカウンタ15と、インストラクションデコーダ16と、演算論理装置(ALU)17と、レジスタ18と、サンプリング回路19を有し、内部バス10には入出力ポート11～14、プログラムカウンタ15、ALU

インストラクションデコーダ26、レジスタ18およびサンプリング回路19にそれぞれ供給されるように構成されている。

第2図は本発明の実施例におけるタイミング信号のタイムチャートを示す。

第3図において、ROM30およびRAM40をアクセスするタイミングは第1のマイクロプロセッサと第2のマイクロプロセッサの間で互いに位相を180°ずらしてあるため、たとえば第1のマイクロプロセッサがROM30をアクセスしている間は、第2のマイクロプロセッサがRAM40をアクセスし、第1のマイクロプロセッサがRAM40をアクセスしている間は第2のマイクロプロセッサがROM30をアクセスする。

これは2つのマイクロプロセッサがROM30、RAM40を共用しながら各マイクロプロセッサの処理を時分割ではなく同時に行なうことができることを意味している。また各マイクロプロセッサで固有の処理は、プログラム中のCPU判断命令によりそのプログラムが第1のマイクロプロセッサ

サで実行しているか第2のマイクロプロセッサで実行しているのかの判断後に分岐して各マイクロプロセッサ固有の処理をすることができる。なおこのマイクロプロセッサの判断命令は第2図で示したタイミング信号を利用することによって容易に実現が可能である。

第3図は、本発明の一実施例のうち2つのマイクロプロセッサ間に関連をもたせず、まったく別の処理を行なう場合のプログラム例を示す。第3図において、この場合は、ROM30, RAM40の使用領域をあらかじめ第1のマイクロプロセッサ用と第2のマイクロプロセッサ用に分割しておき、プログラム上のパワーON処理直後にマイクロプロセッサ判断命令により、あらかじめ分割されている各マイクロプロセッサのROM領域にジャンプ命令等で分岐して使用すれば、あたかも2個のチップマイクロコンピュータに別個の処理1, 2を実行させるのと同じになる。なおこの方式でも第1のマイクロプロセッサと、第2のマイクロプロセッサで共通処理がある場合、ROM

30の1部に共有エリアをあらかじめ確保し、第1のマイクロプロセッサと第2のマイクロプロセッサの共通処理3~6をサブルーチン(サブルーチン1, 2)化してROM30に記憶させることにより、メインルーチンは各マイクロプロセッサそれぞれもろながらROM使用効率を上げることができる。

第4図は本発明の一実施例のうち2つのマイクロプロセッサで互いに共通した処理が多い場合のプログラム例を示す。第4図において、第1および第2のマイクロプロセッサのメインルーチンが1本で、各マイクロプロセッサ固有の処理1, 2は、必要に応じて逐次マイクロプロセッサ判断命令により分岐し、実行後に合流し、処理3、処理4を実行する方式である。この方式では、プログラム設計上、前もって2つのマイクロプロセッサの動作を分析してメインルーチンを1本化するという作業を行なう必要があるが、第3図に示す方式に比べて、ROM30の使用効率が飛躍的に向上する利点がある。またROM40領域も第1お

よびマイクロプロセッサ固有の領域のほかに、マイクロプロセッサの共通領域をもつことにより、この領域を介して第1のマイクロプロセッサと第2のマイクロプロセッサの間のデータの交信を簡単にすることができる。

このように本実施例は2つのマイクロプロセッサを内蔵する1チップマイクロコンピュータでプログラムによりまったく関連のない2つの処理を行なう2つのマイクロコンピュータとして使用可能であり、また互いに関連を持ちながら処理を行なう2つのマイクロコンピュータとしての使用も可能である。

#### (発明の効果)

本発明は以上説明したように一般的な1チップマイクロコンピュータのROM, RAMの全チップ面積に占める割合が50%前後で年々増加する傾向にあり、それ以外の部分である入・出力ポートをのぞけば30%前後であるため、入・出力ポートの数を考慮すれば、従来の1CPU方式の1チップマイクロコンピュータに比べて大きなコスト

アップにはならず、しかも並列処理のため全体の処理スピードが大巾に向上するため非常に有用である等の効果がある。

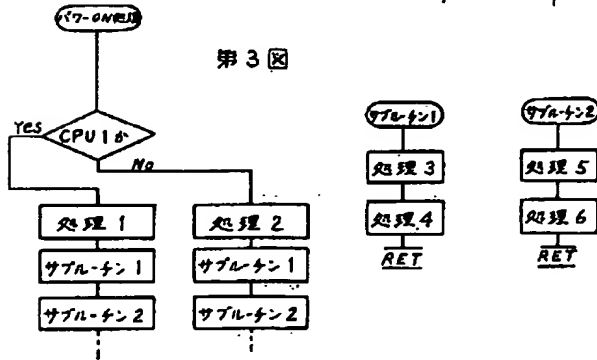
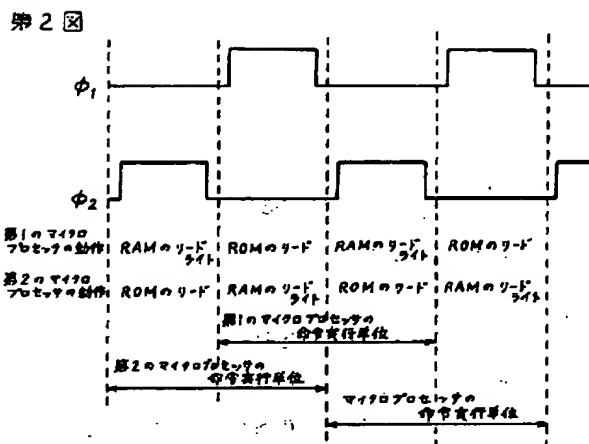
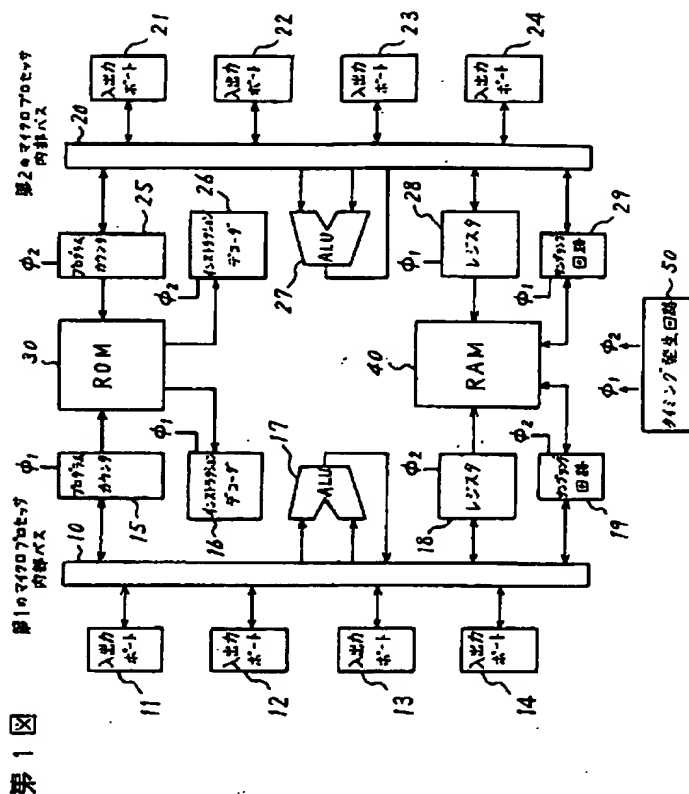
#### 4. 図面の簡単な説明

第1図は、本発明一実施例であるROM, RAMを共用する2つのマイクロプロセッサを内蔵する1チップマイクロコンピュータを示すブロック図、第2図は本発明の一実施例におけるROMおよびRAMのアクセスタイミングを示す図、第3図は、本発明の一実施例のうち、2つのマイクロプロセッサにプログラム上関連をもたせずに別個の処理を行なわせる場合のプログラム例を示す図、第4図は、本発明の一実施例のうち2つのマイクロプロセッサプログラム上関連をもたせて、データの交信を行ないながら、共通した処理を行なわせる場合のプログラム例を示す図、第5図は従来のマイクロプロセッサを示す図である。

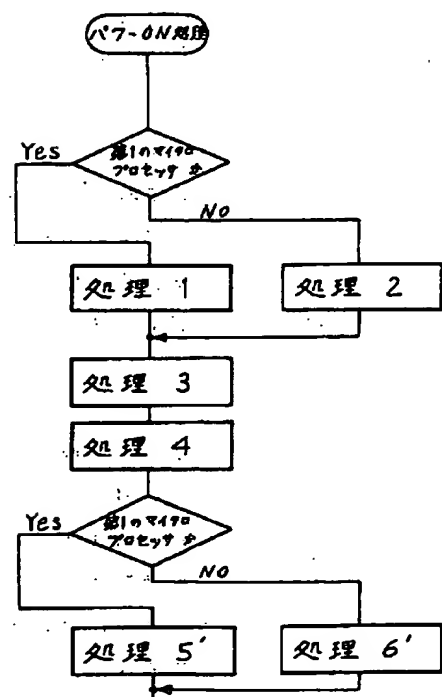
10, 20……内部バス、11~14, 21~24……入出力ポート、15, 25……プログラ

ムカウンタ、16、26……インストラクション  
デコーダ、17、27……演算論理装置、18、  
28……レジスタ、19、29……サンプリング  
回路、30……ROM、40……RAM、50……  
…タイミング発生回路。

代理人 弁理士 内 原 晋



第4図



通信のための信号線

第5図

